

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月13日

出 願 番 号

Application Number:

特願2001-035800

出 願 人

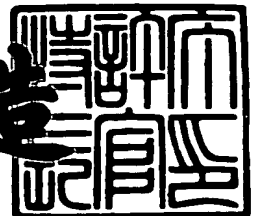
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084399

【書類名】 特許願

【整理番号】 01000049

【提出日】 平成13年 2月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06

【発明者】

 【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインス
ツルメンツ株式会社内

 【氏名】 長谷川 尚

【発明者】

 【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインス
ツルメンツ株式会社内

 【氏名】 小山内 潤

【特許出願人】

 【識別番号】 000002325

 【氏名又は名称】 セイコーインスツルメンツ株式会社

 【代表者】 服部 純一

【代理人】

 【識別番号】 100096286

 【弁理士】

 【氏名又は名称】 林 敬之助

【手数料の表示】

 【予納台帳番号】 008246

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003012

特 2 0 0 1 - 0 3 5 8 0 0

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 N型MOSトランジスタとP型MOSトランジスタと抵抗体で構成される相補型MOS半導体装置において、前記N型MOSトランジスタのゲート電極の極性がP型であり、前記P型MOSトランジスタのゲート電極の極性がP型であり、前記抵抗体は前記N型MOSトランジスタのP型ゲート電極および前記P型MOSトランジスタのP型ゲート電極形成とは異なる工程を経て構成されていることを特徴とする相補型MOS半導体装置。

【請求項 2】 前記N型MOSトランジスタのP型ゲート電極および前記P型MOSトランジスタのP型ゲート電極が第1の多結晶シリコンからなることを特徴とする請求項1記載の相補型MOS半導体装置。

【請求項 3】 前記N型MOSトランジスタのP型ゲート電極および前記P型MOSトランジスタのP型ゲート電極が第1の多結晶シリコンと第1の高融点金属シリサイドの積層構造からなることを特徴とする請求項1記載の相補型MOS半導体装置。

【請求項 4】 前記抵抗体が、前記N型MOSトランジスタのP型ゲート電極および前記P型MOSトランジスタのP型ゲート電極とは異なる第2の多結晶シリコンで形成されていることを特徴とする請求項1、2、3のいずれか一項に記載の相補型MOS半導体装置。

【請求項 5】 前記第2の多結晶シリコンからなる前記抵抗体は、少なくとも比較的low濃度な第1のN型抵抗体を含むことを特徴とする請求項1、2、3、4のいずれか一項に記載の相補型MOS半導体装置。

【請求項 6】 前記第2の多結晶シリコンからなる前記抵抗体は、少なくとも比較的high濃度な第2のN型抵抗体を含むことを特徴とする請求項1、2、3、4のいずれか一項に記載の相補型MOS半導体装置。

【請求項 7】 前記第2の多結晶シリコンからなる前記抵抗体は、少なくとも比較的low濃度な第1のP型抵抗体を含むことを特徴とする請求項1、2、3、4のいずれか一項に記載の相補型MOS半導体装置。

【請求項 8】 前記第 2 の多結晶シリコンからなる前記抵抗体は、少なくとも比較的高濃度な第 2 の P 型抵抗体を含むことを特徴とする請求項 1、2、3、4 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 9】 前記第 1 の多結晶シリコンからなる前記 P 型ゲート電極の膜厚は 2 0 0 0 Å から 6 0 0 0 Å の範囲であることを特徴とする請求項 1、2、4、5、6、7、8 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 10】 前記第 1 の多結晶シリコンと前記第 1 の高融点金属シリサイドの積層である前記積層ポリサイド構造からなる P 型ゲート電極において、前記第 1 の多結晶シリコンの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲であり、前記第 1 の高融点金属シリサイドの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲であることを特徴とする請求項 1、3、4、5、6、7、8 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 11】 前記第 2 の多結晶シリコンからなる前記抵抗体の膜厚は 5 0 0 Å から 2 5 0 0 Å の範囲であることを特徴とする請求項 1、4、5、6、7、8 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 12】 前記第 2 の多結晶シリコンからなる前記比較的低濃度な第 1 の N 型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が数 $\text{k} \Omega / \square \sim$ 数十 $\text{k} \Omega / \square$ 程度であることを特徴とする請求項 1、4、5 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 13】 前記第 2 の多結晶シリコンからなる前記比較的高濃度な第 2 の N 型抵抗体は不純物濃度が $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が 1 0 0 $\Omega / \square \sim$ 数百 Ω / \square 程度であり、温度係数が数百 $\text{ppm}/^\circ\text{C} \sim$ 数千 $\text{ppm}/^\circ\text{C}$ 前後程度であることを特徴とする請求項 1、4、6 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 14】 前記第 2 の多結晶シリコンからなる前記比較的低濃度な第 1 の P 型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるボロンまたは BF_2 を含み、シート抵抗値が数 $\text{k} \Omega / \square \sim$ 数十 $\text{k} \Omega / \square$ 程度であることを特徴とする請求項 1、4、8 のいずれか一項に記載の相補型 MOS 半導体装置。

【請求項 15】 前記第 2 の多結晶シリコンからなる前記比較的高濃度な第

2のP型抵抗体は不純物濃度が $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ であるボロンまたは BF_2 を含に、シート抵抗値が数百 $\Omega/\square \sim 1 \text{ k}\Omega/\square$ 前後であり、温度係数が数百 $\text{ppm}/^\circ\text{C} \sim$ 数千 $\text{ppm}/^\circ\text{C}$ 前後程度であることことを特徴とする請求項1、4、8のいずれか一項に記載の相補型MOS半導体装置。

【請求項16】 前記抵抗体が、Ni-Cr合金もしくはクロムシリサイドもしくはモリブデンシリサイドもしくは β -フェライトシリサイドの薄膜金属抵抗体で構成され、膜厚が100Åから300Åで形成されていることを特徴とする請求項1、2、3のいずれか一項に記載の相補型MOS半導体装置。

【請求項17】 前記N型MOSトランジスタのP型ゲート電極および前記P型MOSトランジスタのP型ゲート電極を構成する前記第1の多結晶シリコンは不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 を含むことを特徴とする請求項1、2、3のいずれか一項に記載の相補型MOS半導体装置。

【請求項18】 前記第1の高融点金属シリサイドがタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであることを特徴とする請求項1、3、10のいずれか一項に記載の相補型MOS半導体装置。

【請求項19】 前記N型MOSトランジスタおよび前記P型MOSトランジスタは、少なくともソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層からなるシングルドレイン構造である第1の構造のMOSトランジスタを含むことを特徴とする請求項1、2、3に記載の相補型MOS半導体装置。

【請求項20】 前記N型MOSトランジスタおよび前記P型MOSトランジスタは、少なくともソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極とオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極とオーバーラップしない高不純物濃度の拡散層とからなる第2の構造のMOSトランジスタを含むことを特徴とする請求項1、2、3に記載の相補型MOS半導体装置。

【請求項21】 前記N型MOSトランジスタおよび前記P型MOSトランジスタ

は、少なくともソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極とオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極とオーバーラップしない高不純物濃度の拡散層とからなり、さらに前記高不純物濃度の拡散層と前記P型ゲート電極の間の絶縁膜がゲート絶縁膜よりも膜厚が厚い第3の構造のMOSトランジスタを含むことを特徴とする請求項1、2、3に記載の相補型MOS半導体装置。

【請求項22】 前記N型MOSトランジスタおよび前記P型MOSトランジスタは、少なくともソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層と、ドレイン側のみもしくはソースとドレインの両方が前記高濃度拡散層よりさらにチャネル側に拡散して前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層とからなる第4の構造のMOSトランジスタを含むことを特徴とする請求項1、2、3に記載の相補型MOS半導体装置。

【請求項23】 前記第2の構造のMOSトランジスタおよび前記第3の構造のMOSトランジスタおよび前記第4の構造のMOSトランジスタにおける前記低不純物濃度拡散層の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記第1の構造のMOSトランジスタおよび前記第2の構造のMOSトランジスタおよび前記第3の構造のMOSトランジスタおよび前記第4の構造のMOSトランジスタにおける前記高不純物濃度拡散層の不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であることを特徴とする請求項19、20、21、22に記載の相補型MOS半導体装置。

【請求項24】 前記N型MOSトランジスタの前記第2の構造のMOSトランジスタおよび前記第3の構造のMOSトランジスタおよび前記第4の構造のMOSトランジスタにおける前記低不純物濃度拡散層の不純物がリンであり、前記N型MOSトランジスタの前記第1の構造のMOSトランジスタおよび前記第2の構造のMOSトランジスタおよび前記第3の構造のMOSトランジスタおよび前記第4の構造のMOSトランジスタにおける前記高不純物濃度拡散層の不純物が砒素またはリンであることを特徴とする請求項19、20、21、22に記載の相補型MOS半導体装置。

【請求項 2 5】 前記 P 型 MOS トランジスタの前記第 2 の構造の MOS トランジスタおよび前記第 3 の構造の MOS トランジスタおよび前記第 4 の構造の MOS トランジスタにおける前記低不純物濃度拡散層の不純物がボロンまたは BF_2 であり、前記 P 型 MOS トランジスタの前記第 1 の構造の MOS トランジスタおよび前記第 2 の構造の MOS トランジスタおよび前記第 3 の構造の MOS トランジスタおよび前記第 4 の構造の MOS トランジスタにおける前記高不純物濃度拡散層の不純物がボロンまたは BF_2 であることを特徴とする請求項 1 9、2 0、2 1、2 2 に記載の相補型 MOS 半導体装置。

【請求項 2 6】 前記 N 型 MOS トランジスタは、しきい値電圧が埋込みチャネル型のエンハンスメント型である第 1 の N 型 MOS トランジスタを含むことを特徴とする請求項 1、2、3 に記載の相補型 MOS 半導体装置。

【請求項 2 7】 前記 N 型 MOS トランジスタは、しきい値電圧が埋込みチャネル型のディプリーション型である第 2 の N 型 MOS トランジスタを含むことを特徴とする請求項 1、2、3 に記載の相補型 MOS 半導体装置。

【請求項 2 8】 前記 P 型 MOS トランジスタは、しきい値電圧が表面チャネル型のエンハンスメント型である第 1 の P 型 MOS トランジスタを含むことを特徴とする請求項 1、2、3 に記載の相補型 MOS 半導体装置。

【請求項 2 9】 前記 P 型 MOS トランジスタは、しきい値電圧が埋込みチャネル型のディプリーション型である第 2 の P 型 MOS トランジスタを含むことを特徴とする請求項 1、2、3 に記載の相補型 MOS 半導体装置。

【請求項 3 0】 第 1 導電型半導体基板の表面に形成された第 2 導電型のウエルと、前記第 2 のウエルの表面に互いに離間して形成され前記半導体基板より不純物濃度の高い 2 つの第 1 導電型の不純物領域と、前記 2 つの第 1 導電型の不純物領域間の表面に絶縁膜を介して形成され前記半導体基板より不純物濃度の高い第 1 導電型の不純物を有する多結晶シリコンからなるゲートとからなる第 1 のトランジスタと、

前記第 1 導電型半導体基板の表面に互いに離間して形成され前記ウエルより不純物濃度の高い 2 つの第 2 導電型の不純物領域と、前記 2 つの第 2 導電型の不純物領域間の表面に絶縁膜を介して形成され前記半導体基板より不純物濃度の高い

第 1 導電型の不純物を有する多結晶シリコンからなるゲートとからなる第 2 のトランジスタと、

前記第 1 のトランジスタと第 2 のトランジスタ間を分離する第 1 のフィールド絶縁膜と、

前記第 2 のトランジスタの前記第 1 のフィールド絶縁膜を有する側と反対側の前記半導体基板表面に形成された第 2 のフィールド酸化膜と、

前記フィールド酸化膜上の一部に形成され両端を前記半導体基板より不純物濃度の高い第 1 導電型不純物を有する 2 つの多結晶シリコン領域に挟まれ前記半導体基板より不純物濃度の低い第 1 導電型不純物を有する多結晶シリコン領域からなる第 1 の抵抗体と、

前記フィールド酸化膜上の一部に形成され両端を前記ウエルより不純物濃度の高い第 2 導電型不純物を有する 2 つの多結晶シリコン領域に挟まれ前記ウエルより不純物濃度の低い第 2 導電型不純物を有する多結晶シリコン領域からなる第 2 の抵抗体とからなる半導体装置。

【請求項 3 1】 前記第 1 のトランジスタの前記ゲートの表面と前記第 2 のトランジスタの前記ゲートの表面にそれぞれ金属シリサイド層を有する請求項 3 0 記載の半導体装置。

【請求項 3 2】 前記第 1 の抵抗体または前記第 2 の抵抗体が薄膜金属抵抗である請求項 3 0 または 3 1 記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は抵抗回路を有する相補型 MOS 半導体装置において低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器 (Voltage Detector、以後 VD と表記) や定電圧レギュレータ (Voltage Regulator、以後 VR と表記) やスイッチングレギュレータ (Switching Regulator、以後 SWR と表記など) などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

従来多結晶シリコンなどの抵抗体を使用した抵抗回路を有する相補型MOS半導体装置は数多く使用されている。図10は従来の抵抗回路を備えた半導体装置の構造の一実施例を示したものである。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスタ（以後NMOSと表記）と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャネル型MOSトランジスタ（以後PMOSと表記）とからなる相補型MOS構造（Complementary MOS、以後CMOS表記）と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。

【0003】

【発明が解決しようとする課題】

このように抵抗回路を有する相補型MOS（CMOS）半導体装置において、ゲート電極の極性はその製造の容易さ、安定性より、N+型多結晶シリコンがよく用いられている。この場合ゲート電極と半導体基板の仕事関数の関係よりNMOSは表面チャネル型となるが、PMOSの場合、やはりゲート電極と半導体基板の仕事関数の関係によりしきい値電圧は約-1Vとなる。そのためしきい値電圧を低下させるために不純物注入を行うと、表面より少し基板内部にチャネル形成する埋め込みチャネル型になってしまう。埋め込みチャネル型は基板内部をキャリアが通過するため移動度が大きいという利点があるが、しきい値電圧を下げるとサブスレッショルド特性は極めて劣化し、リーク電流が増加する。そのためNMOSに比べPMOSは低電圧化、短チャネル化が困難である。

【0004】

またNMOS、PMOSともに低電圧化が可能となる構造として、図11や図12に示す様に、ゲート電極の極性をトランジスタの極性と等しくする同極ゲート構造というものがある。この構造はNMOSトランジスタのゲート電極にはN+型多結晶シリコン、PMOSトランジスタにはP+型多結晶シリコンを用いるためどちらも表面チャネル型となりリーク電流を抑えることができ低電圧化が可能となる。しかしながらゲート電極の極性を別々にすることによる製造工程数が

増加し製造コストや製造工期の増大を招き、さらに最も基本的な回路要素であるインバータ回路においては通常は、面積効率の向上のためにNMOSとPMOSのゲートはメタルを介しての結線を避け平面的にNMOSからPMOSまで連続な1個の多結晶シリコンないしは多結晶シリコンと高融点金属シリサイドとの積層からなるポリサイド構造によりレイアウトされるが、図11に示すような多結晶シリコン単層から形成される場合にはその多結晶シリコン中のPN接合のインピーダンスが高く実用的でないこと、図12に示すようなポリサイド構造の場合にはN型とP型の不純物は工程における熱処理中に高融点金属シリサイド中を高速でお互いに逆導電型のゲート電極へ拡散し、その結果として仕事関数に変化してしきい値電圧が安定しないなどの、コスト面や特性面において問題を有している。

【0005】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【0006】

(1) N型MOSトランジスタとP型MOSトランジスタと抵抗体で構成される相補型MOS半導体装置において、N型MOSトランジスタのゲート電極の極性がP型であり、P型MOSトランジスタのゲート電極の極性がP型であり、抵抗体はN型MOSトランジスタのP型ゲート電極およびP型MOSトランジスタのP型ゲート電極とは異なる工程を経て構成されていることを特徴とする相補型MOS半導体装置とした。

【0007】

(2) N型MOSトランジスタのP型ゲート電極およびP型MOSトランジスタのP型ゲート電極が第1の多結晶シリコンからなることを特徴とする相補型MOS半導体装置とした。

【0008】

(3) N型MOSトランジスタのP型ゲート電極およびP型MOSトランジスタのP型ゲート電極が第1の多結晶シリコンと第1の高融点金属シリサイドの積層構造からなることを特徴とする相補型MOS半導体装置とした。

【 0 0 0 9 】

(4) 抵抗体が、N型MOSトランジスタのP型ゲート電極およびP型MOSトランジスタのP型ゲート電極とは異なる第2の多結晶シリコンで形成されていることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 0 】

(5) 第2の多結晶シリコンからなる抵抗体は、少なくとも比較的低濃度な第1のN型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 1 】

(6) 第2の多結晶シリコンからなる抵抗体は、少なくとも比較的高濃度な第2のN型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 2 】

(7) 第2の多結晶シリコンからなる抵抗体は少なくとも比較的低濃度な第1のP型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 3 】

(8) 第2の多結晶シリコンからなる抵抗体は、少なくとも比較的高濃度な第2のP型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 4 】

(9) 第1の多結晶シリコンからなるP型ゲート電極の膜厚は2000Åから6000Åの範囲であることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 5 】

(10) 第1の多結晶シリコンと第1の高融点金属シリサイドの積層である積層ポリサイド構造からなるP型ゲート電極において、第1の多結晶シリコンの膜厚が500Åから2500Åの範囲であり、第1の高融点金属シリサイドの膜厚が500Åから2500Åの範囲であることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 6 】

(11) 第2の多結晶シリコンからなる抵抗体の膜厚は500Åから2500Åの範囲であることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 7 】

(12) 第2の多結晶シリコンからなる比較的低濃度な第1のN型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が数 $\text{k}\Omega/\square$ ～数十 $\text{k}\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置とした。

【0018】

(13) 第2の多結晶シリコンからなる比較的高濃度な第2のN型抵抗体は不純物濃度が $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、抵抗値が $100\Omega/\square$ ～数百 Ω/\square 程度であり、温度係数が数百 $\text{ppm}/^\circ\text{C}$ ～数千 $\text{ppm}/^\circ\text{C}$ 前後程度であることを特徴とする相補型MOS半導体装置とした。

【0019】

(14) 第2の多結晶シリコンからなる比較的低濃度な第1のP型抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるボロンまたは BF_2 を含み、シート抵抗値が数 $\text{k}\Omega/\square$ ～数十 $\text{k}\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置とした。

【0020】

(15) 第2の多結晶シリコンからなる比較的高濃度な第2のP型抵抗体は不純物濃度が $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ であるボロンまたは BF_2 を含み、シート抵抗値が数百 Ω/\square ～ $1\text{k}\Omega/\square$ 前後であり、温度係数が数百 $\text{ppm}/^\circ\text{C}$ ～数千 $\text{ppm}/^\circ\text{C}$ 前後程度であることを特徴とする相補型MOS半導体装置とした。

【0021】

(16) 抵抗体が、Ni-Cr合金もしくはクロムシリサイドもしくはモリブデンシリサイドもしくは β -フェライトシリサイドの薄膜金属抵抗体で構成され、膜厚が 100\AA から 300\AA で形成されていることを特徴とする相補型MOS半導体装置とした。

【0022】

(17) N型MOSトランジスタのP型ゲート電極およびP型MOSトランジスタのP型ゲート電極を構成する第1の多結晶シリコンは不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 を含むことを特徴とする相補型MOS半導体

装置とした。

【 0 0 2 3 】

(1 8) 第 1 の高融点金属シリサイドがタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであることを特徴とする相補型 MOS 半導体装置とした。

【 0 0 2 4 】

(1 9) N 型 MOS トランジスタおよび P 型 MOS トランジスタは、少なくともソースとドレインが P 型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層からなるシングルドレイン構造である第 1 の構造の MOS トランジスタを含むことを特徴とする相補型 MOS 半導体装置とした。

【 0 0 2 5 】

(2 0) N 型 MOS トランジスタおよび P 型 MOS トランジスタは、少なくともソースとドレインが P 型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが P 型ゲート電極とオーバーラップしないかもしくはソースとドレインの両方が P 型ゲート電極とオーバーラップしない高不純物濃度の拡散層とからなる第 2 の構造の MOS トランジスタを含むことを特徴とする相補型 MOS 半導体装置とした。

【 0 0 2 6 】

(2 1) N 型 MOS トランジスタおよび P 型 MOS トランジスタは、少なくともソースとドレインが P 型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが P 型ゲート電極とオーバーラップしないかもしくはソースとドレインの両方が P 型ゲート電極とオーバーラップしない高不純物濃度の拡散層とからなり、さらに高不純物濃度の拡散層と P 型ゲート電極の間の絶縁膜がゲート絶縁膜よりも膜厚が厚い第 3 の構造の MOS トランジスタを含むことを特徴とする相補型 MOS 半導体装置とした。

【 0 0 2 7 】

(2 2) N 型 MOS トランジスタおよび P 型 MOS トランジスタは、少なくともソースとドレインが P 型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層と、ドレイン側のみもしくはソースとドレインの両方が高濃度拡散層よ

りさらにチャネル側に拡散してP型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層とからなる第4の構造のMOSトランジスタを含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 2 8 】

(23) 第2の構造のMOSトランジスタおよび第3の構造のMOSトランジスタおよび第4の構造のMOSトランジスタにおける低不純物濃度拡散層の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、第1の構造のMOSトランジスタおよび第2の構造のMOSトランジスタおよび第3の構造のMOSトランジスタおよび第4の構造のMOSトランジスタにおける高不純物濃度拡散層の不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であることを特徴とする相補型MOS半導体装置とした。

【 0 0 2 9 】

(24) N型MOSトランジスタの第2の構造のMOSトランジスタおよび第3の構造のMOSトランジスタおよび第4の構造のMOSトランジスタにおける低不純物濃度拡散層の不純物がリンであり、N型MOSトランジスタの第1の構造のMOSトランジスタおよび第2の構造のMOSトランジスタおよび第3の構造のMOSトランジスタおよび第4の構造のMOSトランジスタにおける高不純物濃度拡散層の不純物が砒素またはリンであることを特徴とする相補型MOS半導体装置とした。

【 0 0 3 0 】

(25) P型MOSトランジスタの第2の構造のMOSトランジスタおよび第3の構造のMOSトランジスタおよび第4の構造のMOSトランジスタにおける低不純物濃度拡散層の不純物がボロンまたは BF_2 であり、P型MOSトランジスタの第1の構造のMOSトランジスタおよび第2の構造のMOSトランジスタおよび第3の構造のMOSトランジスタおよび第4の構造のMOSトランジスタにおける高不純物濃度拡散層の不純物がボロンまたは BF_2 であることを特徴とする相補型MOS半導体装置とした。

【 0 0 3 1 】

(26) N型MOSトランジスタは、しきい値電圧が埋込みチャネル型のエンハンスメント型である第1のN型MOSトランジスタを含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 3 2 】

(27) N型MOSトランジスタは、しきい値電圧が埋込みチャネル型のディプリーション型である第2のN型MOSトランジスタを含むことを特徴とする相補型MOS半導体装置とした。

【0033】

(28) P型MOSトランジスタは、しきい値電圧が表面チャネル型のエンハンスメント型である第1のP型MOSトランジスタを含むことを特徴とする相補型MOS半導体装置とした。

【0034】

(29) P型MOSトランジスタは、しきい値電圧が埋込みチャネル型のディプリーション型である第2のP型MOSトランジスタを含むことを特徴とする相補型MOS半導体装置とした。

【0035】

(30) 第1導電型半導体基板の表面に形成された第2導電型のウエルと、前記第2のウエルの表面に互いに離間して形成され前記半導体基板より不純物濃度の高い2つの第1導電型の不純物領域と、前記2つの第1導電型の不純物領域間の表面に絶縁膜を介して形成され前記半導体基板より不純物濃度の高い第1導電型の不純物を有する多結晶シリコンからなるゲートとからなる第1のトランジスタと、

前記第1導電型半導体基板の表面に互いに離間して形成され前記ウエルより不純物濃度の高い2つの第2導電型の不純物領域と、前記2つの第2導電型の不純物領域間の表面に絶縁膜を介して形成され前記半導体基板より不純物濃度の高い第1導電型の不純物を有する多結晶シリコンからなるゲートとからなる第2のトランジスタと、

前記第1のトランジスタと第2のトランジスタ間を分離する第1のフィールド絶縁膜と、

前記第2のトランジスタの前記第1のフィールド絶縁膜を有する側と反対側の前記半導体基板表面に形成された第2のフィールド酸化膜と、

前記フィールド酸化膜上の一部に形成され両端を前記半導体基板より不純物濃度の高い第1導電型不純物を有する2つの多結晶シリコン領域に挟まれ前記半導

体基板より不純物濃度の低い第 1 導電型不純物を有する多結晶シリコン領域からなる第 1 の抵抗体と、

前記フィールド酸化膜上の一部に形成され両端を前記ウエルより不純物濃度の高い第 2 導電型不純物を有する 2 つの多結晶シリコン領域に挟まれ前記ウエルより不純物濃度の低い第 2 導電型不純物を有する多結晶シリコン領域からなる第 2 の抵抗体とからなる半導体装置とした。

【 0 0 3 6 】

(3 1) (3 0) において、前記第 1 のトランジスタの前記ゲートの表面と前記第 2 のトランジスタの前記ゲートの表面にそれぞれ金属シリサイド層を設けた。

【 0 0 3 7 】

(3 2) (3 0) または (3 1) において、前記第 1 の抵抗体または前記第 2 の抵抗体を薄膜金属抵抗とした。

【 0 0 3 8 】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

図 1 は本発明の CMOS 半導体装置の一実施例を示す模式的断面図である。P 型半導体基板 1 0 1 に形成されたゲート電極が P+ 型の多結晶シリコン 1 0 7 でありソースとドレインがいわゆるシングルドレイン構造である NMOS 1 1 3 と、N ウェル領域 1 0 2 に形成されたゲート電極がやはり P+ 型の多結晶シリコン 1 0 7 であるシングルドレイン構造の PMOS 1 1 2 とからなる CMOS と、フィールド絶縁膜 1 0 6 上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定する CR 回路などに用いられる、多結晶シリコンからなる P- 抵抗体 1 1 4 および N- 抵抗体 1 1 5 とから構成されている。ゲート電極である P+ 多結晶シリコン 1 0 7 は濃度が $1 \times 10^{18} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含む。

【 0 0 3 9 】

図 1 において、CMOS のゲート電極である多結晶シリコン 1 0 7 と多結晶シリコン抵抗体 1 1 4 、 1 1 5 は別工程で形成され、膜厚も異なっており、多結晶シリ

コン抵抗体の方がゲート電極より薄く形成されている。たとえばゲート電極 1 0 7 膜厚は 2 0 0 0 Å から 6 0 0 0 Å 程度の膜厚であるのに対し、抵抗対の膜厚は 5 0 0 Å から 2 5 0 0 Å で形成される。これは多結晶シリコン抵抗体においては膜厚は薄い方がシート抵抗値を高く設定でき、また温度特性も良くなるため、より精度を向上させることができる。シート抵抗値はその抵抗の用途にもよるが通常の分圧回路においては数 $k\Omega/\square$ から数十 $k\Omega/\square$ の範囲で使われる。この時の不純物は P-抵抗体 1 1 4 においてはボロンないし BF_2 を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度であり、N-抵抗体 1 1 5 においてはリンないし砒素を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ 程度の濃度である。

【 0 0 4 0 】

また図 1 には P-抵抗体 1 1 4 および N-抵抗体 1 1 5 の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的で P-抵抗体 1 1 4 もしくは N-抵抗体 1 1 5 のどちらかしか搭載しない場合もある。

【 0 0 4 1 】

またゲート電極と抵抗体を別工程で形成するため、抵抗体に多結晶シリコンを用いるのではなく薄膜金属体を用いることも可能である。図 2 には本発明の CMOS 半導体装置の他の実施例の模式的断面図を示している。ここでは薄膜金属抵抗体 1 3 1 にクロムシリサイド 1 3 2 を用いているが、Ni-Cr 合金やモリブデンシリサイド、 β -フェライトシリサイドなどの金属シリサイドを用いることも可能である。クロムシリサイドは金属シリサイドの中でも高抵抗で膜厚を 1 0 0 Å から 3 0 0 Å 程度薄膜化することで抵抗体として用いることが可能である。この薄膜金属抵抗体を多結晶シリコンの代わりに用いることで、分圧回路の比精度や抵抗値のバラツキ、温度係数を小さくすることが可能となる。

【 0 0 4 2 】

PMOS 1 1 2 においてゲート電極を P+多結晶シリコン 1 0 7 とすることで、Nウェル 1 0 2 とゲート電極の仕事関数の関係から E 型 PMOS のチャネルは表面チャネルとなるが、表面チャネル型 PMOS においてはしきい値電圧を例えば -0.5 V 以上に設定しても極端なサブスレッショルド係数の悪化に至らず低電圧動作および

低消費電力がともに可能となる。

【 0 0 4 3 】

一方NMOS 1 1 3においては、P+多結晶シリコン 1 0 7のゲート電極とP型半導体基板 1 0 1の仕事関数の関係からE型NMOSのチャネルは埋込みチャネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー不純物として使用できるためチャネルは極めて浅い埋込みチャネルとなる。従ってしきい値電圧を例えば0. 5 V以下の小さな値に設定しても、しきい値制御用アクセプター不純物として拡散係数が大きくイオン注入のプロジェクションレンジも大きいボロンを使用せざるを得ず深い埋込みチャネルとなるN+多結晶シリコンをゲート電極としたE型PMOSの場合に比べ、サブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【 0 0 4 4 】

以上の説明により本発明によるP+多結晶シリコン単極をゲート電極としたCMOSは、従来のN+多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

【 0 0 4 5 】

また低電圧動作や低消費電力に対してはいわゆる同極ゲートCMOS技術が一般的に知られているところであるが、同極ゲート形成においてはゲート電極をP型とN型に作り分けるために通常の単極ゲートプロセスに比べ少なくともマスク工程が2工程追加必要となる。単極ゲートCMOSの標準的なマスク工程数は10回程度であるが、同極ゲートとすることで概算20%の工程コスト増となり、半導体装置のパフォーマンスとコストの総合的な観点からも本発明によるP+多結晶シリコン単極のゲート電極によるCMOSが有効といえよう。

【 0 0 4 6 】

さらに、従来のゲート電極がN+多結晶シリコン単極ゲートCMOSの場合においては多結晶シリコン中へのN型不純物のドーピングとして拡散炉中でのリン拡散が一般的に用いられるが、この場合抵抗体の形成は酸化膜や絶縁膜などのハードマスクが必要となり、特にN型よりも高抵抗化の面で有利なP型の抵抗体はより複雑な工程を経ることではその形成はできなかったが、P+多結晶シリコン単極

ゲートCMOSにおいては、ゲート多結晶シリコンへの不純物ドーピングはハードマスクが不要であるイオン注入法により行われるため、簡素な工程によりP-抵抗体およびN-抵抗体の両方の形成が可能であり、この点においても本発明はアドバンテージを有する。

【 0 0 4 7 】

次に本発明を実製品に適用した場合の具体的な効果を図3を用いて説明する。図3は半導体装置による正型VRの構成概要を示す。VRは基準電圧回路123とエラーアンプ124とPMOS出力素子125と抵抗129からなる分圧回路130とからなり、入力端子126に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子128に出力する機能を有する半導体装置である。

【 0 0 4 8 】

近年、特に携帯機器向けのVRには入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧化が可能なCMOSによりエラーアンプやPMOS出力素子や基準電圧回路を構成し、低コストで高抵抗かつ高精度であるP-抵抗体により分圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

【 0 0 4 9 】

さらに最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小型化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

【 0 0 5 0 】

VRは数十mAから数百mAの電流を出力するが、それはPMOS出力素子の駆動能力に100%依存し、製品によってはチップ面積のほぼ半分をPMOS出力素子が占める場合がある。従ってこのPMOS出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

【 0 0 5 1 】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これはPMOS出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

【 0 0 5 2 】

非飽和動作におけるMOSトランジスタのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

I_d : ドレイン電流

μ : 移動度

C_{ox} : ゲート絶縁膜容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート・ソース間電圧

V_{th} : しきい値電圧

V_{ds} : ドレイン・ソース間電圧

で表される。

【 0 0 5 3 】

面積を増やさず、 V_{gs} や V_{ds} が小さくても十分大きいドレインとするには、(1)式よりチャネル長の縮小並びに V_{th} の低下を行う必要がある。

【 0 0 5 4 】

本発明によるP+多結晶シリコン単極をゲートとしたCMOS構造は、オフ時のリーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえるため、上記のVRの低コスト化および小型化に対して非常に有効な手段であることが理解されよう。勿論同極ゲートCMOS技術を用いてもチップサイズに関しては同等な効果は得られるが、コストの面で工程増となるため総合的には本発明ほどの効果には至らない。

【 0 0 5 5 】

またVRにおける本発明のP+多結晶シリコン単極ゲートCMOS構造による利点として、基準電圧回路をE型NMOSとディプリーション型のNMOS（以後D型NMOSと表記

）のいわゆるE/D型で構成する場合、E型NMOS、D型NMOS両方ともに埋込みチャネル型となるため各々のMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることができ、従来のN+多結晶シリコンをゲート電極とした場合のE型NMOSが表面チャネル型でD型NMOSが埋込みチャネル型から構成される基準電圧回路に比べ、温度変化に対し出力電圧変化の小さい基準電圧回路を提供できることも挙げられる。

【 0 0 5 6 】

さらに本発明のP+多結晶シリコン単極ゲートCMOS構造により、従来のN+多結晶シリコンゲート構造では、特にそのD型のしきい値電圧のばらつきが大きいため実使用に耐えなかったPMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能であり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 0 5 7 】

以上VRにおける本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 0 5 8 】

図4は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。図1に示す本発明の実施例においてはゲート電極はP+多結晶シリコン単層としたが、その場合P+多結晶シリコン単層でのシート抵抗値は $100\Omega/\square$ 程度と大きく、高速動作や高周波対応の必要な半導体装置への適用は難しいという問題を有していた。その対策としてP+多結晶シリコン 10^7 の上にタングステンシリサイドやモリブデンシリサイドやチタンシリサイドやプラチナシリサイドなどの高融点金属シリサイド 116 を形成したいわゆるポリサイド構造をゲート電極とし低抵抗化したのが図4に示す構造である。シート抵抗値は高融点金属シリサイドの種類と膜厚によるが、標準的には 500\AA から 2500\AA の膜厚で十数 Ω/\square から数 Ω/\square のシート抵抗値である。MOSの動作そのものはP+多結晶シリコンと半導体との仕事関数で決まるため、低電圧動作、低消費電力、低コストに関しては図1で説明した効果と同等な効果が得られ、ゲート電極が低抵抗化される

分さらの半導体装置性能の向上となる。

【 0 0 5 9 】

さらに図 4 においては、P-抵抗体 1 1 4 と N-抵抗体 1 1 5 はゲート電極とは異なる別層の多結晶シリコンから形成されているため、シリコン多結晶単層で抵抗体を形成する際に必要となる工程、例えば抵抗体となる部分の多結晶シリコン上には予め高融点金属シリサイドを被着しないかもしくは一度多結晶シリコン上に高融点金属シリサイドを被着した後その部分の高融点金属シリサイドを選択的に除去するといった複雑な工程フローを必要としなくなる。

【 0 0 6 0 】

図 5 は本発明の CMOS 半導体装置の別の実施例を示す模式的断面図である。

P+多結晶シリコン単極 CMOS 構造は図 1 の実施例に示した構造と同じであり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、図 1 に示した実施例との違いは多結晶シリコンからなる抵抗体を比較的高不純物濃度で低抵抗である P+抵抗体 1 1 7 と N+抵抗体 1 1 8 としている点にある。分圧回路のように比較的高いシート抵抗値で比精度が重要な抵抗回路においては図 1 の実施例に示した P-抵抗体や N-抵抗体が有効であるが、時定数を決定するための CR 回路のように絶対値精度が重要な抵抗体や温度係数の小さいことが要求される抵抗体においては、不純物濃度を濃くして比較的低抵抗とした方が絶対値精度ならびに温度係数は改善されるためである。

【 0 0 6 1 】

P+抵抗体 1 1 7 と N+抵抗体 1 1 8 の形成は例えば通常の CMOS 形成における NMOS と PMOS のソースとドレイン形成の際の不純物ドーピングを多結晶シリコンにも同時に行うことにより達成される。この場合 P+抵抗体 1 1 7 はボロンないし BF_2 を不純物とし、濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 程度以上でシート抵抗値は数百 Ω/\square から 1 k Ω/\square 前後のシート抵抗値であり、温度係数は数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度となる。N+抵抗体 1 1 8 はリンないし砒素を不純物とし、濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 程度以上でシート抵抗値は百 Ω/\square 前後から数百 Ω/\square 程度のシート抵抗値であり、温度係数は数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度となる。図 5 の実施例に示した CMOS はゲート電極が多結晶シリコン単層の場合を示して

いるが、図4に示したゲート電極がポリサイド構造であるCMOSの抵抗体として本実施例の比較的高濃度な抵抗体を適用しても構わない。また図5において、N+抵抗体118とP+抵抗体117の両方を示しているが、半導体装置に要求される特性とそれらの抵抗体の特徴を考慮し工程数やコスト削減の目的でどちらかの抵抗体だけで半導体装置を構成してももちろん構わない。また図2に示した薄膜金属抵抗体で構成しても構わない。

【0062】

図6は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。ゲート電極は本発明の根幹であるP+多結晶シリコン107単極のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにアナログ回路におけるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層N-119、P-120とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいて設けた不純物濃度の濃い拡散層N+103、P+104としたMOSトランジスタ構造としている。入力電圧の高いVDやVRおよび出力電圧の高い昇圧型のSWRなどに対応するためである。図6に示す構造は例えば低不純物濃度の拡散層を選択的に形成した後、レジストマスクとイオン注入技術により選択的に高不純物濃度の拡散層を半導体中に設けることで形成される。

【0063】

低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS113のN-119の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0064】

ゲート電極から離れて形成されているゲート電極から高不純物濃度拡散までの

距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は $0.5\mu\text{m}$ から数 μm である。図6においてはPMOS112の片側だけがオフセット構造であり、NMOS113は両側がオフセット構造となっているが、素子の回路での使用方法によりその回路において適切な構造をMOSトランジスタの導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。また図6にはゲート電極としてP+多結晶シリコン単層の例を示しているが、図4に示したP+ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図6にはP-抵抗体しか示していないが、図1や図5で示したN-抵抗体、P+抵抗体、N+抵抗体を必要に応じて選択適用してかまわない。また図2に示した薄膜金属抵抗体で構成しても構わない。

【0065】

図7は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。ゲート電極は本発明の根幹であるP+多結晶シリコン107単極のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにソースとドレインの両方にゲート電極とオーバーラップして不純物濃度の濃い拡散層N+103、P+104を配し、ソースとドレインもしくはドレインだけにゲート電極とオーバーラップして不純物濃度の薄い拡散層N-119、P-120を配したいわゆるDouble Diffused Drain (DDD) 構造からなるMOSトランジスタ構造としている。図6に示した構造と同等な効果を目的とするが、図6に示した実施例との違いは、高不純物濃度の拡散層がゲート電極とオーバーラップしており、その分MOSの動作時の寄生抵抗を小さくできるというメリットがある。しかしゲートとドレインのオーバーラップ、すなわちミラー容量が大きいため高周波動作には不向きという欠点ももつ。

【0066】

図7に示す構造は例えば低不純物濃度の拡散層をイオン注入法と熱処理により選択的に形成した後、高不純物濃度の拡散層を設けることで形成される。低不純

物濃度の拡散層は、PMOS 1 1 2 の P - 1 2 0 の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS 1 1 3 の N - 1 1 9 の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS 1 1 2 の P + 1 0 4 の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS 1 1 3 の N + 1 0 3 場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 0 6 7 】

薄い拡散層 N - 1 1 9、P - 1 2 0 と濃い拡散層 N + 1 0 3、P + 1 0 4 のチャネル側への横方向拡散量の差は通常は $0.2 \mu\text{m}$ から $1 \mu\text{m}$ 程度である。図 7 においては PMOS 1 1 2 の片側だけが DDD 構造であり、NMOS 1 1 3 は両側が DDD 構造となっているが、素子の回路での使用方法により MOS トランジスタの導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方を DDD 構造とし、電流方向が単方向でソースとドレインが固定しているような場合には実効チャネル長の縮小のため片側すなわちドレイン側だけを DDD 構造とする。図 7 にはゲート電極として P + 多結晶シリコン単層の例を示しているが、図 4 に示した P + ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図 7 には P - 抵抗体しか示していないが、図 1 や図 5 で示した N - 抵抗体、P + 抵抗体、N + 抵抗体を必要に応じて選択適用してかまわない。また図 2 に示した薄膜金属抵抗体で構成しても構わない。

【 0 0 6 8 】

図 8 は本発明の CMOS 半導体装置の別の実施例を示す模式的断面図である。ゲート電極は本発明の根幹である P + 多結晶シリコン 1 0 7 単極の CMOS であり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにソースとドレインを不純物濃度の薄い拡散層 N - 1 1 9、P - 1 2 0 とゲート電極からサイドスペーサの距離だけゲート電極から離れて設けた不純物濃度の濃い拡散層 N + 1 0 3、P + 1 0 4 のいわゆる Lightly Doped Drain (LDD) 構造からなる MOS トランジスタ構造としている。図 6、図 7 に示した構造と同等

な効果を目的とするが、図 6 や図 7 に示した実施例との違いは、高不純物濃度拡散層が自己整合的に形成されるため微細化に有利な構造である反面、耐圧の向上に制限があるというデメリットも有している。

【 0 0 6 9 】

図 8 に示す構造は例えば低不純物濃度の拡散層をイオン注入法と熱処理により形成した後、CVD法（化学気相成長法）により絶縁膜被着し異方性ドライエッチングを行うことでサイドスペーサを形成し、自己整合的に高不純物濃度の拡散層をイオン注入法により設けることで形成される。低不純物濃度の拡散層は、PMOS 1 1 2 の P - 1 2 0 の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS 1 1 3 の N - 1 1 9 の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS 1 1 2 の P + 1 0 4 の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS 1 1 3 の N + 1 0 3 場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 0 7 0 】

サイドスペーサ 1 2 1 の幅は通常は $0.2 \mu\text{m}$ から $0.5 \mu\text{m}$ 程度である。図 8 にはゲート電極として P + 多結晶シリコン単層の例を示しているが、図 4 に示した P + ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図 8 には P - 抵抗体しか示していないが、図 1 や図 5 で示した N - 抵抗体、P + 抵抗体、N + 抵抗体を必要に応じて選択適用してかまわない。また図 2 に示した薄膜金属抵抗体で構成しても構わない。

【 0 0 7 1 】

図 9 は本発明の CMOS 半導体装置の別の実施例を示す模式的断面図である。ゲート電極は本発明の根幹である P + 多結晶シリコン 1 0 7 単極の CMOS であり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層 N - 1 1 9、P - 1 2 0 とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいてかつその間に厚い絶縁膜 1 2 2 を設けて形成された不純物濃

度の濃い拡散層N+103、P+104としたMOSトランジスタ構造としている。
図6に示した構造と同等な効果を目的とするが、図6に示した実施例との違いは、高不純物濃度拡散層とゲート電極の間に厚い絶縁膜が設けられていることから電界緩和の効果は大きく高耐圧動作、例えば数十Vから数百Vの動作に対応できるというメリットがある。しかし素子サイズを小さくできないという欠点ももつ。

【0072】

図9に示す構造は例えば低不純物濃度の拡散層を選択的に形成した後、素子分離のためのいわゆるLOCOS形成と同時にゲート電極とソースとドレインもしくはゲート電極とドレインの間となる部分に厚い絶縁膜を形成し、ゲート電極を形成後、高不純物濃度の拡散層を設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、NMOS113のN-119の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしはBF₂を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であり、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0073】

ゲート電極とドレインの間に形成されている絶縁膜の厚さは通常は素子分離用のフィールド酸化膜と同じ数千Åから1μm前後の厚みであり、ゲート電極から高不純物濃度拡散までの距離は半導体装置に入力される電圧にもよるが通常は1μm前後から数μmである。図9においてはPMOS112の片側だけが高耐圧構造であり、NMOS113は両側が高耐圧構造となっているが、素子の回路での使用方法によりMOSトランジスタの導電型に関わらずその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方を高耐圧構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけを高耐圧構造とする。

また図9にはゲート電極としてP+多結晶シリコン単層の例を示しているが、図4に示したP+ポリサイド構造をゲート電極として使用することも可能である。同様に抵抗体も図9にはP-抵抗体しか示していないが、図1や図5で示したN-抵抗体、P+抵抗体、N+抵抗体を必要に応じて選択適用してかまわない。また図2に示した薄膜金属抵抗体で構成しても構わない。

【0074】

図1および図4から図9の実施例において様々な構造のMOSトランジスタや抵抗体を示したが、半導体装置に要求される仕様と各素子構造の特徴を考慮して適切な組み合わせによりパフォーマンスの高い半導体装置を形成することも可能である。例えば電源系統が2系統以上あるような半導体装置においては、必要に応じてゲート酸化膜厚も含め電圧帯に応じて以上に示してきた素子構造のなかから適切な構造の選択と組み合わせを行うといった取り組みである。

【0075】

以上本発明の実施の形態をP型半導体基板を用いた実施例により説明してきたが、基板の極性を逆にしてN型の半導体基板を用いたN基板Pウェル型のP+単極ゲートCMOSによっても以上に説明してきた内容と原理に同じく低電圧動作、低消費電力、低コストである半導体装置の提供は可能である。

【0076】

【発明の効果】

上述したように、本発明はCMOSと抵抗体とを含むパワーマネージメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコンないしはP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極とは異なる別層の多結晶シリコンで形成することでより高精度の抵抗体を有することができ、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCM

OSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする。

【図面の簡単な説明】

【図 1】

本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図 2】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 3】

半導体装置による正型VR構成概要。

【図 4】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 5】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 6】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 7】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 8】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 9】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 1 0】

従来のCMOS半導体装置の模式的断面図。

【図 1 1】

従来のCMOS半導体装置の模式的断面図。

【図 1 2】

従来のCMOS半導体装置の模式的断面図。

【符号の説明】

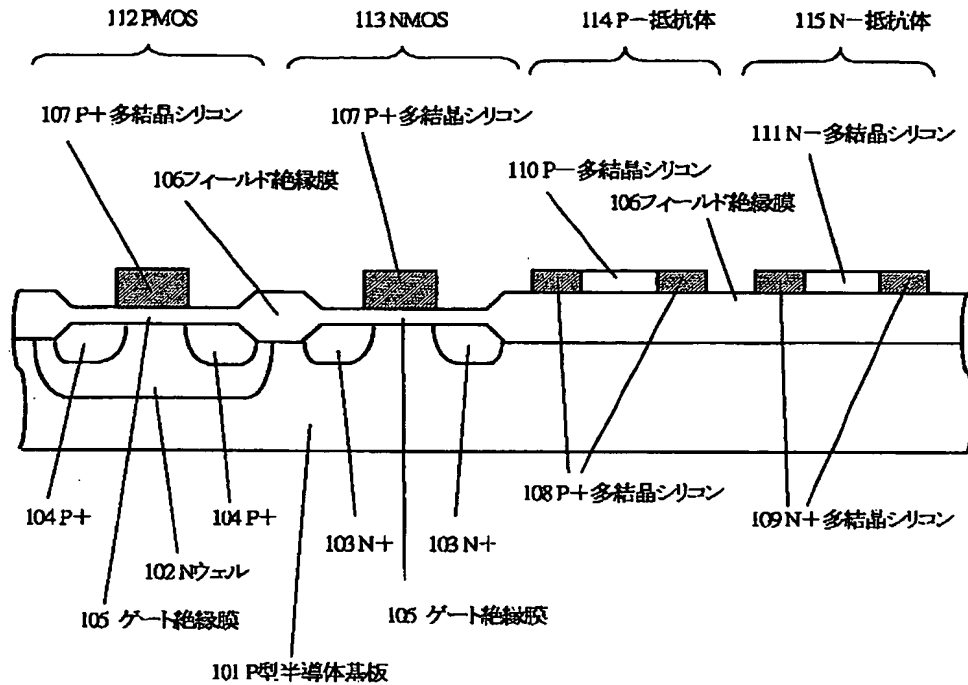
1 0 1、2 0 1 P型半導体基板

102、202 Nウェル
103、203 N+
104、204 P+
105、205 ゲート絶縁膜
106、206 フィールド絶縁膜
107 P+多結晶シリコン
108 P+多結晶シリコン
109、209 N+多結晶シリコン
110 P-多結晶シリコン
111、211 N-多結晶シリコン
112、212 PMOS
113、213 NMOS
114 P-抵抗体
115、215 N-抵抗体
116、216 高融点金属シリサイド
117 P+抵抗体
118 N+抵抗体
119 N-
120 P-
121 サイドスペーサー
122 絶縁膜
123 基準電圧回路
124 エラーアンプ
125 PMOS出力素子
126 入力端子
127 グラウンド端子
128 出力端子
129 抵抗
130 分圧回路

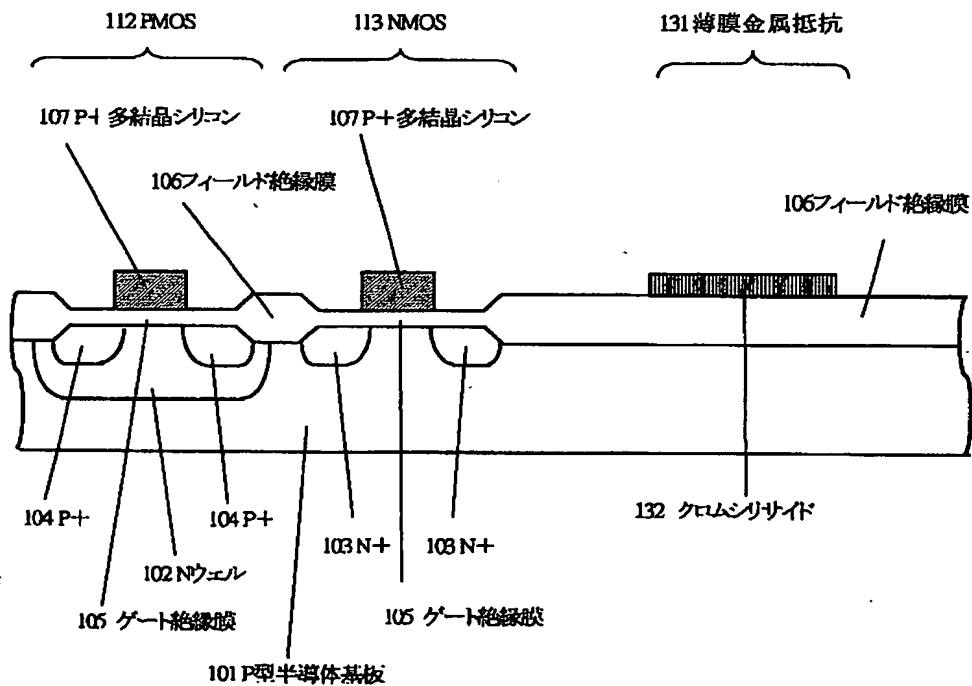
- 1 3 1 薄膜金属抵抗体
- 1 3 2 クロムシリサイド
- 2 3 1 N+多結晶シリコン
- 2 3 2 P+多結晶シリコン

【書類名】 図面

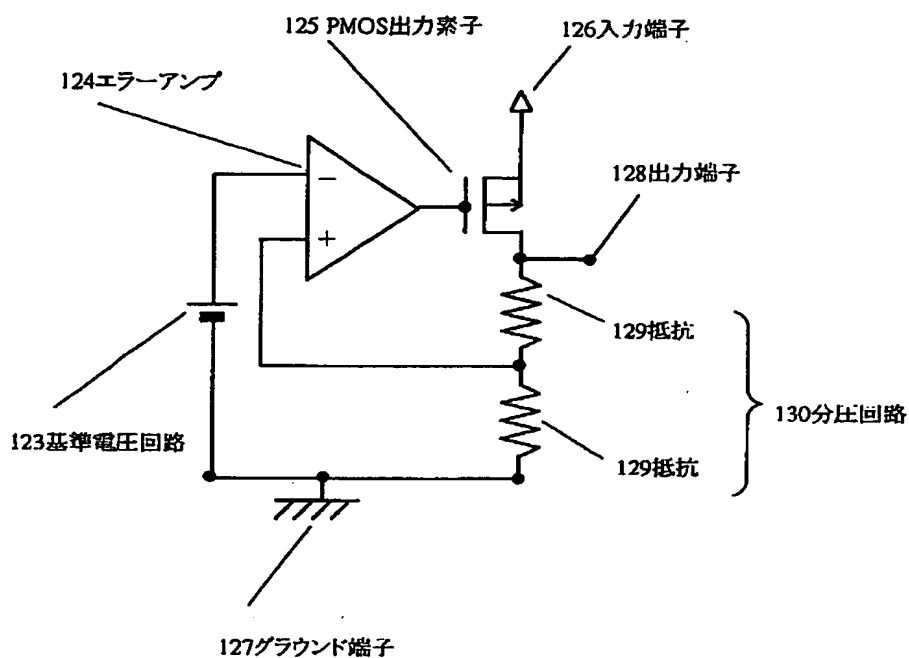
【図 1】



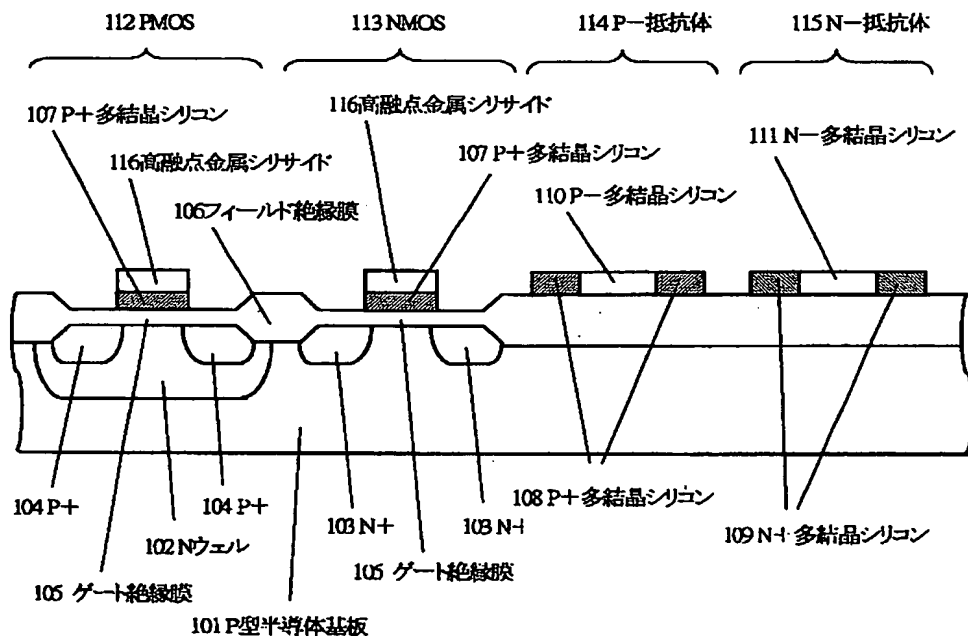
【図 2】



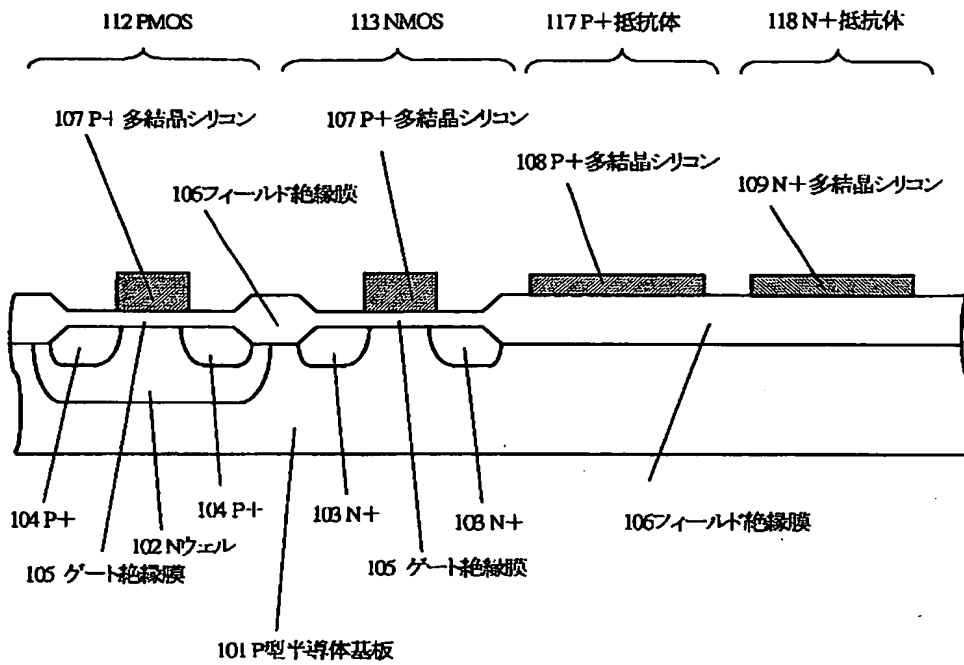
【図 3】



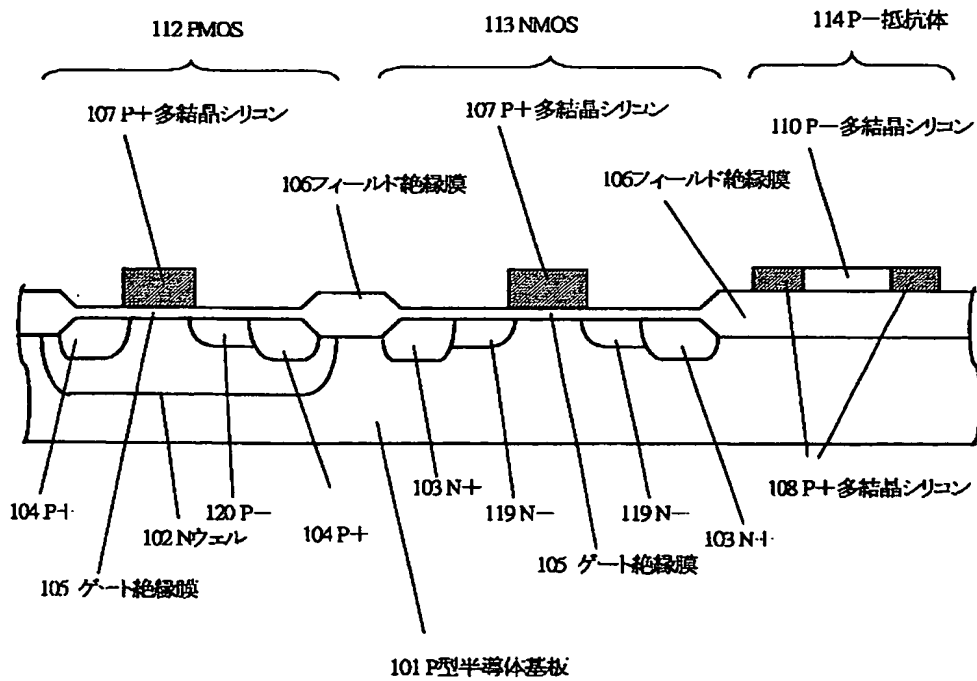
【図 4】



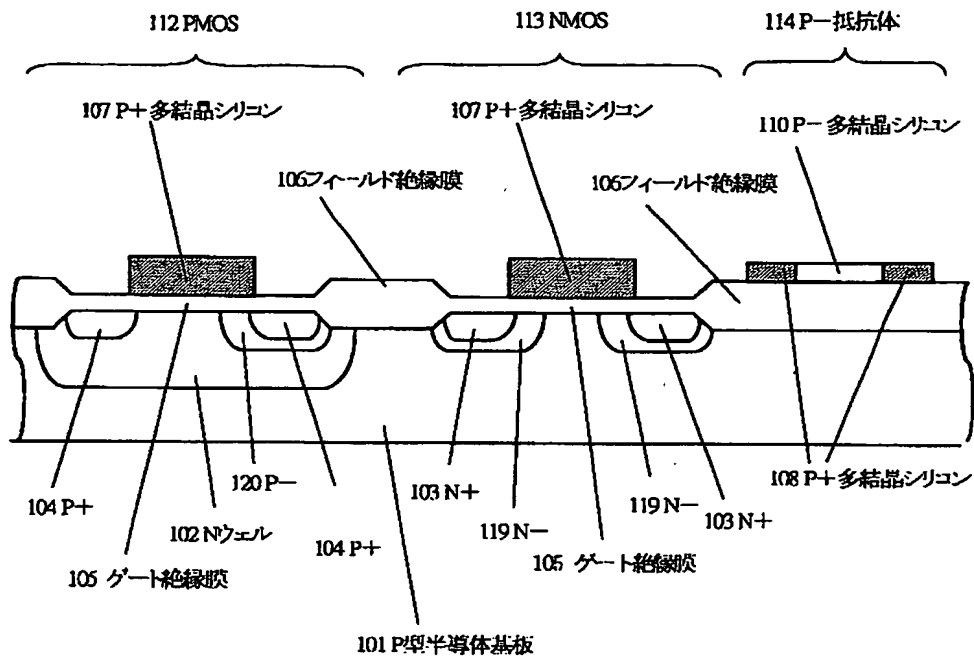
【図 5】



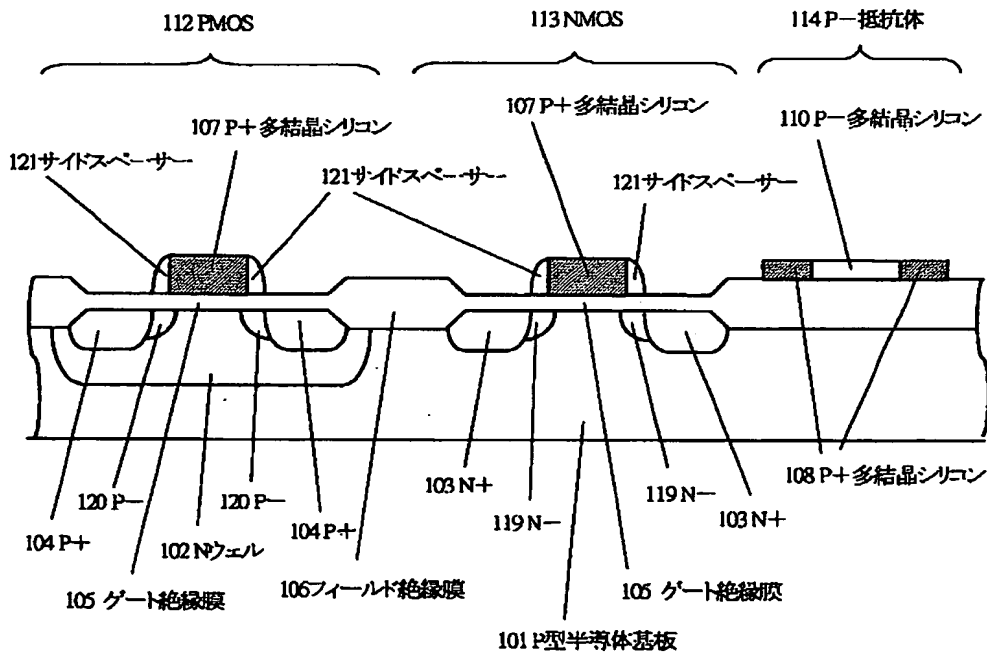
【図 6】



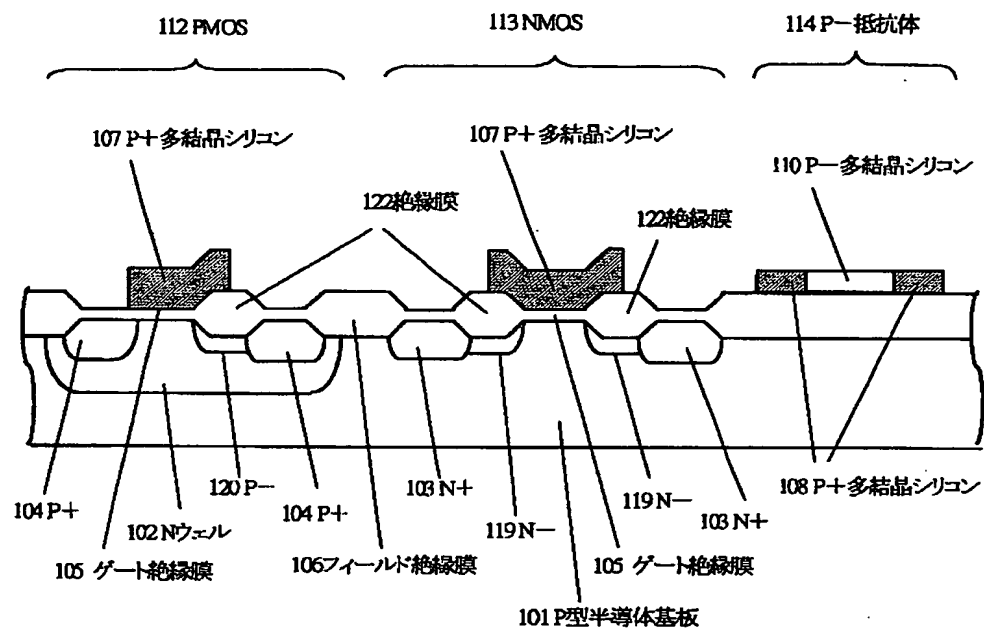
【図 7】



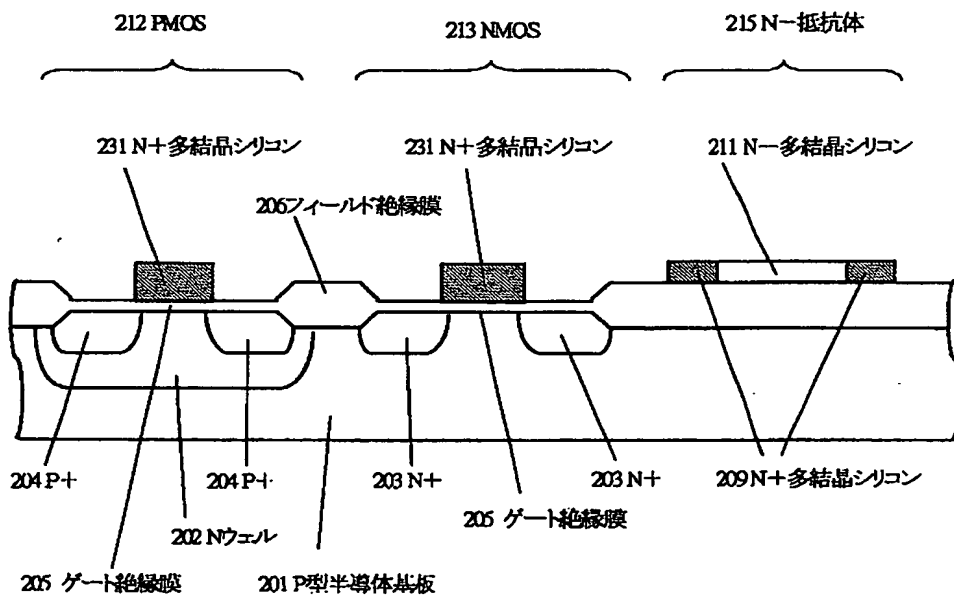
【図 8】



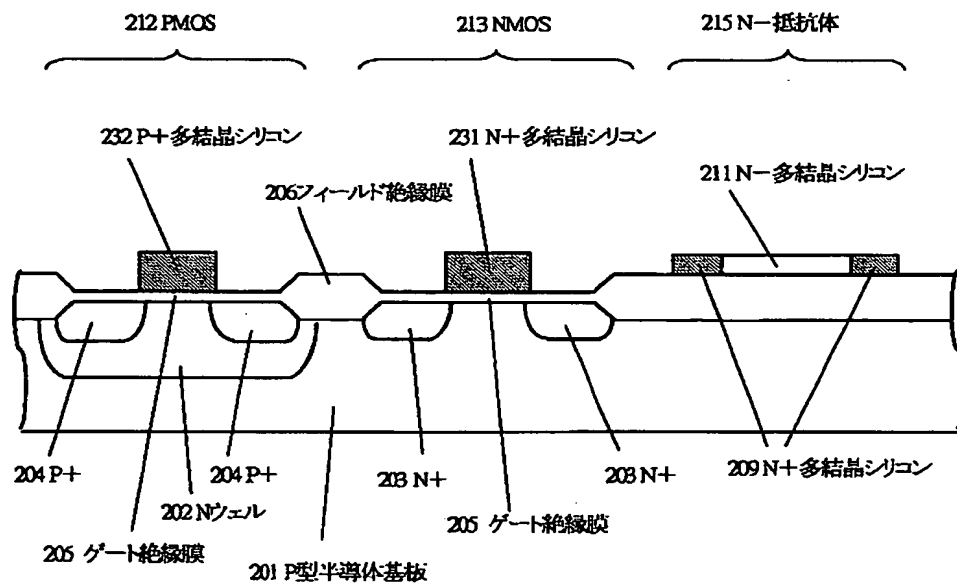
【図 9】



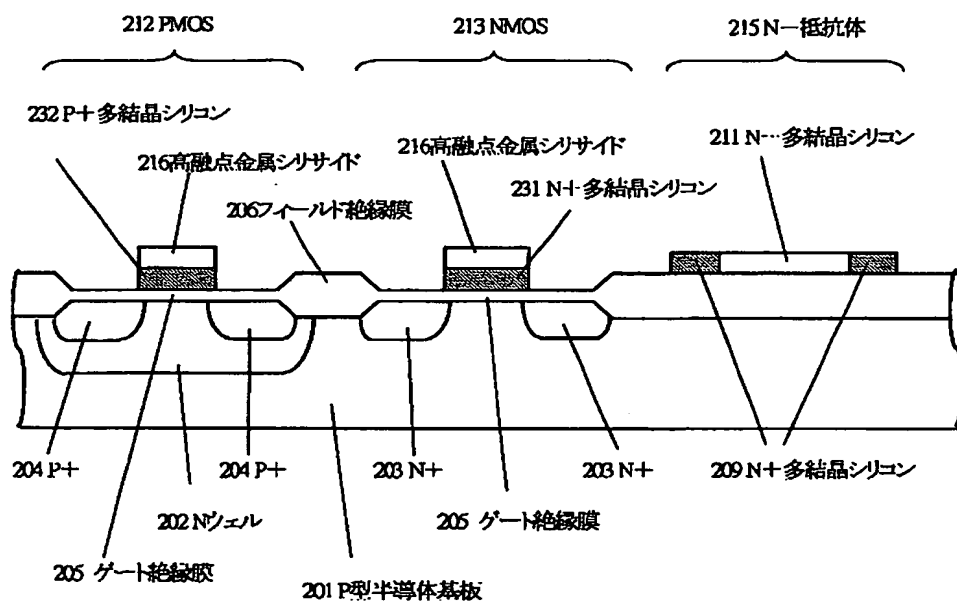
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 低電圧動作が可能で低消費電力および高駆動能力を有する半導体装置の提供。

【解決手段】 CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコンないしはP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極とは異なる他の多結晶シリコンで構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社